

KOREAN PATENT ABSTRACTS

*Laid-Open Publication Number: KR1999-0038973
(1999/6/5)

(11) Publication number: 100266065 B1
(43) Date of publication of application: 20.06.2000

(21) Application number: 1019970058875
(22) Date of filing: 08.11.1997

(71) Applicant: HYNIX SEMICONDUCTOR INC.
(72) Inventor: BAEK, SEUNG GWON
MUN, HUI CHEOL

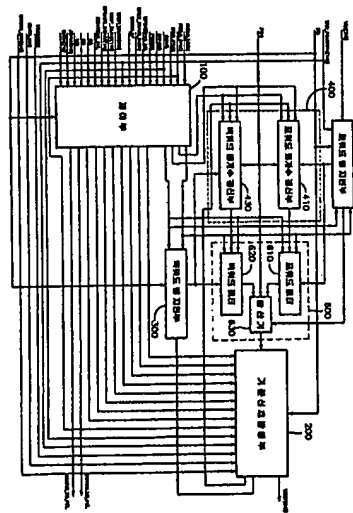
(51) Int. Cl. H04N 5/14

(54) HIGH SPEED CHANNEL EQUALIZING SYSTEM

(57) Abstract:

PURPOSE: A high speed channel equalizing system is provided to obtain a quick channel adaptation speed and a blind mode by simultaneously upgrading all tap counting every symbol rate.

CONSTITUTION: A controller(100) controls a mode, a counting upgrade allowance time, and a total channel equalizing operation. A reference signal generator(200) generates a reference signal when a data of a tap location is outputted and compares an output signal with the reference signal to generate an error signal. A backward tap delay section(300) delays the output signal in the reference signal generator(200) by the set number of taps. A tap upgrade section(400) upgrades counting of each tap within one symbol clock according the error signal from the reference signal generator(200). A forward tap delay section(500) delays a transmission data from a transmitter side by the set number of taps. A filter(600) filters feedback output data of the backward tap delay section(300) and the output data of the forward tap delay section(500).



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20000613)
Patent registration number (1002660650000)
Date of registration (20000620)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H04N 5/14

(11) 공개번호
(43) 공개일자

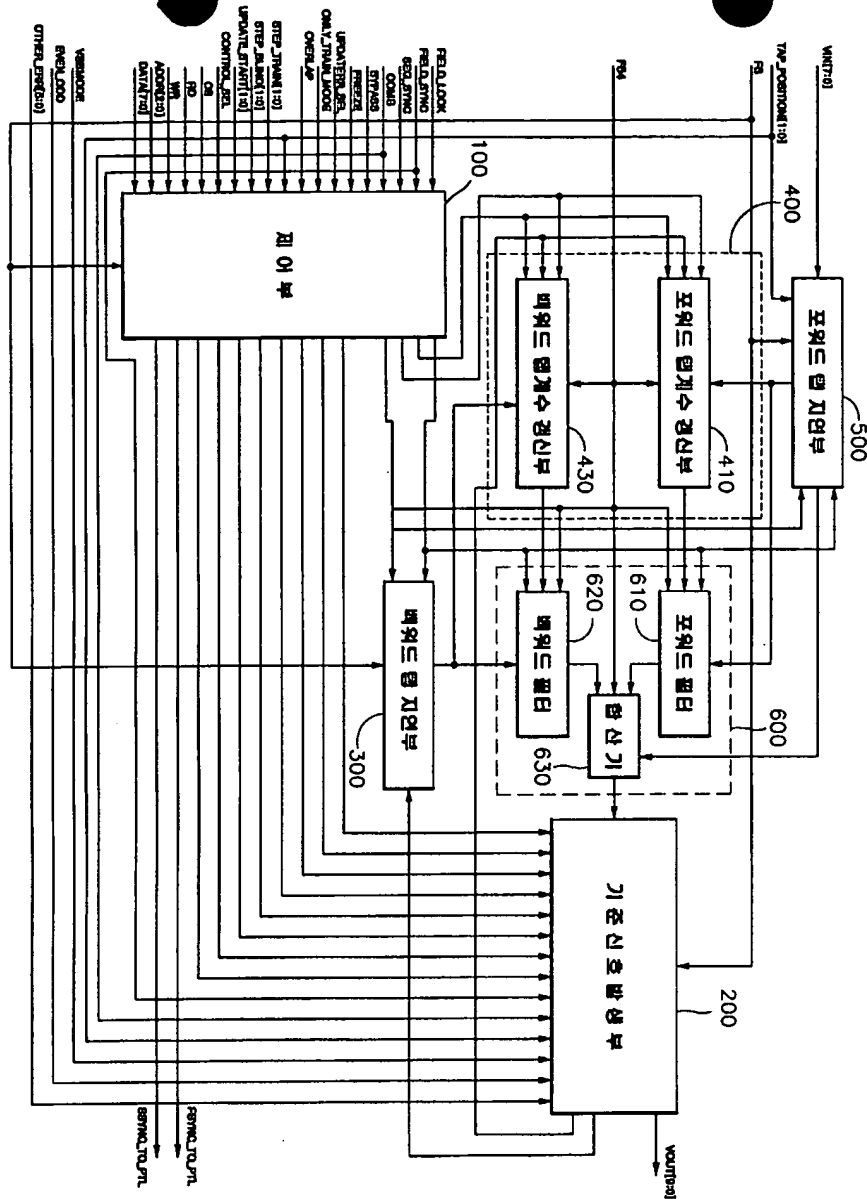
특1999-0038973
1999년06월05일

(21) 출원번호	10-1997-0058875
(22) 출원일자	1997년11월08일
(71) 출원인	현대전자산업 주식회사, 김영환 대한민국 467701 경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자	문희철 대한민국 463-000 경기도 성남시 분당구 야탑동 335번지 장미마을823동 603호 백승권 대한민국 467-071 경기도 이천시 부발읍 아미리 산 136-1
(74) 대리인	문승영
(77) 심사청구	있음
(54) 출원명	고속 채널 등화 시스템

요약

본 발명은 고속 디지털 통신 시스템의 VSB(Vestigial SideBand) 수신기에서 채널 왜곡 특성을 상쇄하여 송신 심볼을 복원하는 고속 채널 등화 시스템에 관한 것으로, 이러한 본 발명은 수신되는 데이터 프레임의 필드에 의해 훈련 모드 채널 등화 동작과 블라인드 모드 채널 등화 동작을 선택적으로 제어하는 제어부의 제어에 따라 채널 등화 동작을 수행하며, 훈련모드로 채널 등화 동작을 수행할 경우 제어부의 제어에 따라 기준 신호 발생부에서 훈련열을 기준신호로 발생하고, 블라인드 모드로 채널 등화 동작을 수행할 경우 채널 등화 출력신호를 슬라이싱한 송신 심볼 예측값으로 기준신호로 발생하며, 또한 기준신호 발생부에서 채널 등화 출력신호와 기준신호를 비교하여 오차신호를 발생하고, 이렇게 발생된 오차신호를 이용하여 계수 갱신부에서 신속한 채널 적응이 이루어지도록 하나의 심볼 클럭 이내에 탭 계수를 모두 갱신하며, 이 갱신 탭계수로 필터부에서 입력 신호를 필터링하여 채널 등화 성능이 향상된 채널 등화 출력신호를 발생하도록 한다.

대표도



명세서

도면의 간단한 설명

- 도 1은 일반적인 VSB 수신기의 블록 구성도,
- 도 2는 GA규격에 따른 VSB방식의 데이터 프레임 구조도,
- 도 3은 GA규격에 따른 8VSB방식의 필드 동기신호 구조도,
- 도 4는 GA규격에 따른 16VSB방식의 필드 동기신호의 구조도,
- 도 5는 도 1에 적용되는 일반적인 채널 동화기의 구성도,
- 도 6은 본 발명에 의한 채널 동화기의 구성도,
- 도 7은 도 6의 포워드 탭 지연부 상세 구성도,
- 도 8은 도 6의 백워드 탭 지연부 상세 구성도,
- 도 9는 도 6의 필터부 상세 구성도,
- 도 10은 도 6의 기준신호 발생부 상세 구성도,
- 도 11은 도 6의 포워드 탭 계수 갱신부 상세 구성도,

도 12는 도 6의 백워드 탭 계수 갱신부 상세 블록도,

도 13은 본 발명에 적용되는 VSB동기 신호의 타이밍도.

<도면의 주요 부분에 대한 부호의 설명>

100:제어부 200:기준 신호 발생부
300:백워드 탭 지연부 400:계수 갱신부
410:포워드 탭 계수 갱신부 430:백워드 탭 계수 갱신부
500:포워드 탭 지연부 600:필터부
610:포워드 필터 620:백워드 필터
630:합산기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고속의 디지털 통신 시스템에 관한 것으로, 특히 GA(Grand Alliance)방식 VSB(Vestigial SideBand)수신기에서 수신 채널의 진폭 및 위상 왜곡을 보상하는 채널 등화기에 관한 것이다.

일반적으로, 고속의 디지털 통신 시스템에서 시스템의 성능을 저하시키는 가장 큰 요소는 심볼간 간섭(inter-symbol interference; ISI)이다. ISI는 채널의 선형적 왜곡, 즉 다중경로 채널, non-ideal frequency response, 군지연(group delay) 등에 의해 발생된다. 이렇게 채널에 의해 발생하는 ISI를 줄이기 위해 많은 연구가 이루어졌으며, 적응 등화기(adaptive equalizer)는 이러한 ISI를 없애거나 가능한 한 줄여주어 송신측에서 보낸 데이터를 오류없이 복원해 내기 위해 수신기 내부에 설치되는 일종의 역필터(inverse filter)이다.

일반적인 적응 등화기에서는 초기훈련기간(initial training period) 동안 송신측과 수신측 사이에 미리 약속된 훈련열(training sequence)을 주고받아 채널의 왜곡 특성을 상쇄시킬 수 있도록 등화기 탭 계수를 조절한다. 그러나 실제로 많은 경우에 있어서 이러한 훈련열 없이 초기에 등화가 이루어지도록 할 필요가 있다. 즉, 수신된 신호만으로 채널 왜곡을 보상해 줄 수 있어야 한다. 이러한 적응 등화 알고리즘을 자력 등화(blind equalization, 혹은 self-recovering equalization)라고 한다.

여기서 자력 등화는 채널에 의해 왜곡된(혹은 채널과 convolve된) 입력열(input sequence)을 재구성해 낸다고 하는 뜻에서 blind deconvolution이라고도 한다. 자력 등화에서는 등화기의 출력과 전송되는 데이터 심볼의 신호군에 대해 "미리 알고 있는(apriori)" 통계적인 정보에 의해 등화가 이루어진다. 즉, 등화기의 출력을 비선형 변환(nonlinear transform)하여 송신측에서 보낸 심볼을 추정하는 것이다.

자력 등화의 필요성은 특히 라디오나 TV와 같은 방송, 즉 point-to-multipoint 통신 환경에서 두드러진다. Point-to-point 통신(예, 1:1 modem communication)에서는 채널 변화에 따라 수신측에서의 심볼 오류가 발생하기 시작하면 일단 데이터 전송을 멈추고, 훈련열을 주고 받아 변화된 채널특성을 상쇄할 수 있도록 등화기 탭 계수 조절을 한 후 데이터 송수신을 재개할 수 있다. 그러나 방송에서는 방송국과 수신기들 사이의 채널 환경이 모두 다르므로 위와 같은 방법을 사용할 수 없다. 따라서 일정한 시간 간격마다 훈련열을 보내든지, 자력등화와 같이 훈련열 없이 수신된 신호만으로 등화를 하는 방법중에서 선택을 하여야 한다. 전자의 경우 채널 환경이 변화하지 않았거나 매우 천천히 변화한다면 훈련열을 보내는 것이 비효율적이다. 그러나 송신측(방송국)에서는 수신측의 채널환경이 변화하였는지, 혹은 그렇지 않은지를 알 수 없으므로 이같은 비효율성을 감수하고 훈련열을 계속 보내주어야 한다. 그러나 자력등화의 경우는 훈련열이 필요없으므로 전력(power)과 동기(synchronization)에 따르는 시스템의 부담을 줄일 수 있다.

도 1은 일반적인 GA방식 VSB 수신기의 블록 구성도이다.

이에 도시된 바와같이, 참조번호 2는 안테나에서 수신된 신호로부터 원하는 채널만을 튜닝하는 튜너이고, 3은 상기 튜너(2)에서 튜닝된 채널의 중간주파수만을 필터링하고 세그먼트 동기와 필드 동기를 검출하는 중간주파 필터 및 동기 검출부이며, 참조번호 4는 상기 중간주파 필터 및 동기 검출부(3)에서 검출된 동기신호에 따라 입력신호를 처리할 수 있는 타이밍을 제공해주는 타이밍정보 제공부이다.

그리고 참조번호 5는 상기 중간주파 필터 및 동기 검출부(3)에서 출력되는 채널 신호로부터 채널 간섭을 배제시키는 NTSC간섭제거필터이고, 참조번호 6은 상기 NTSC간섭제거필터로부터 출력되는 신호의 선형 채널 왜곡을 보상해주는 등화기이며, 7은 상기 등화기(6)의 출력으로부터 위상을 추정하는 위상 추적기이다.

또한, 참조번호 8은 상기 위상 추적기(7)를 통한 데이터를 일정량 수신한 후 역추적을 실행하여 입력 데이터를 복호하는 격자 복호기(8)이고, 9는 상기 상기 격자 복호기(8)로부터 출력되는 데이터를 디인터리빙하는 데이터 디인터리버이며, 10은 상기 데이터 디인터리버(9)를 통한 데이터를 리드 솔로몬 복호하는 리드 솔로몬 복호기이고, 11은 상기 리드 솔로몬 복호기(10)를 통한 데이터를 역 랜덤화하는 데이터 디랜덤화기이다.

첨부한 도면 도 2는 GA에 의한 VSB규격의 데이터 프레임을 도시한 것으로, 하나의 세그먼트는 832심볼로 구성되며, 매 세그먼트의 처음 4심볼은 세그먼트 동기신호이고, 828심볼은 데이터이다. 그리고 하나의 필드는 312세그먼트의 데이터와 1세그먼트의 필드 동기 신호로 구성되며, 하나의 프레임은 2개의 필드로 구성된다. 또한, 8VSB에서 4심볼이 1바이트를 구성하며, 16VSB에서는 2심볼이 1바이트를 구성한다.

여기서 첨부한 도 3은 GA방식 8VSB규격의 필드 동기 신호 구조이고, 도 4는 GA방식 16VSB규격의 필드 동기 신호의 구조도이다.

이러한 구성을 갖는 GA방식 HDTV에 적용되는 VSB수신기는, 튜너(2)에서 원하는 채널을 튜닝하고, 중계 필터 및 동기 검출부(2)에서 튜닝된 채널의 중간 주파수를 얻은 후 세그먼트 동기신호와 펄드 동기신호를 검출하게 된다. 그리고 타이밍정보 제공부(4)는 상기에서 얻어지는 세그먼트 동기신호와 펄드 동기신호에 따라 입력 데이터를 처리하기 위한 타이밍 정보를 제공하게 되며, NTSC간섭제거필터(5)는 입력되는 채널 데이터의 채널 간섭을 필터링하게 된다. 아울러 등화기(6)는 그 NTSC간섭제거필터(5)를 통한 채널 데이터의 채널 왜곡을 보상하게 되며, 위상 추적기(7)는 위상 에러 보상과 주파수 에러 보상을 위한 위상 추적을 시도하게 된다. 그리고 이렇게 위상 및 주파수 에러가 보상된 데이터는 격자 복호기(8)에서 복호화된 후 디인터리버(9)에서 디인터리빙되며, 다시 리드 솔로몬 복호기(10)에서 복호된 후 디랜덤화기(11)에서 역양자화가 수행되어 원래의 데이터로 복원된다.

이러한 작용을 갖는 VSB수신기를 부가한 HDTV는, 고품질의 영상과 CD수준의 음질을 제공하게 되는데, 이를 구현하기 위해서는 높은 압축을 구사해야 하며, 신호 송,수신에서의 완벽한 복구가 필요하다. 이와 같은 송신 데이터를 완벽하게 복구하기 위한 기술중의 하나가 채널 등화기(channel equalizer)이며, 디지털 송,수신시 채널에 의한 왜곡을 보상하는 경우에 특히 중요한 역할을 한다.

주지한 바와 같이, 채널 등화기는 틸트(Tilt), 고스트(ghost)와 같은 선형 채널 왜곡에 대한 보상을 목적으로 수신기 내부에 설치되는 일종의 역 필터(Inverse filter)이다. 왜곡은 전송 채널에서 또는 수신단내의 불완전한 요소에 의하여 발생할 수 있다. 또한 다중 경로(Multipath)는 건물, 이동체 등에서 반사된 신호가 원 신호에 더해져서 원 신호를 알아볼 수 없게 만든다. 이러한 왜곡은 현재 우리가 사용하고 있는 아날로그 TV에서는 화면의 찌그러짐, 고스트(ghost)와 같은 화질 열화로 나타나지만 디지털 전송 시스템에서는 비트 검출 오류로 인하여 전혀 다른 영상 또는 복구 불가능 상태가 되어 버린다.

특히 지상 채널인 경우에는 다중 경로가 수시로 변화하기 때문에 등화기는 이러한 변화를 추적하여 원 신호를 복원하기 위해서는 적응 등화 알고리즘(adaptive equalization algorithm)을 이용하여야 한다.

이러한 적응 등화 알고리즘은 LMS(Least Mean Square), RLS(Recursive Least Square) 알고리즘 등이 있고, 구조상 TDL(Tapped Delay Line)과 격자(Lattice) 구조등 여러 가지가 있으나 하드웨어 구현상 간단한 LMS 알고리즘을 이용한 TDL 구조를 주로 사용한다. 등화기의 구현에는 여러 가지 방법이 있지만 구현하기 위한 변수에는 실시간 처리 여부와 다수의 곱셈기의 처리에 있다고 볼 수 있다.

도 5는 일반적인 HDTV의 VSB신호를 처리하기 위한 채널 등화기(20)의 내부 구성도로서, 참조번호 12는 입력 데이터(VIN[8])와 포워드 계수 갱신부(22)에서 얻어지는 탭 계수를 승산하는 다수개의 지연기와 멀티플라이어를 구비한 64탭의 포워드 필터이고, 14는 훈련열을 발생하는 훈련열 발생기이고, 15는 채널 등화기(20)의 출력을 양자화하는 슬라이서이다.

그리고 참조번호 16은 상기 훈련열 발생기(14)와 상기 슬라이서(15)의 출력중 하나를 선택하는 멀티플렉서이고, 17은 상기 멀티플렉서(16)의 출력과 상기 채널 등화기(20)의 출력을 감산하여 오류 추정치를 발생하는 에러 발생기이며, 18은 그 에러 발생기(17)에서 발생된 에러와 입력되는 다른 에러치 중 하나를 선택하기 위한 에러 선택기이다.

또한, 참조번호 19는 상기 에러 선택기(18)의 출력과 상기 멀티플렉서(16)의 출력값에 따라 백워드 필터(21)의 탭 계수를 갱신하는 백워드 계수 갱신부이며, 21은 상기 멀티플렉서(16)에서 얻어지는 신호를 지연시키는 다수개의 지연기와 상기 지연기를 통한 신호와 상기 백워드 계수 갱신부(19)에서 갱신된 탭 계수를 승산하는 다수개의 멀티플라이어를 구비한 192탭의 백워드 필터이고, 22는 상기 에러 선택기(18)의 출력과 상기 입력 신호를 승산하여 포워드 필터(12)의 탭 계수를 갱신하는 포워드 계수 갱신부이며, 13은 상기 포워드 필터(12)와 백워드 필터(13)에서 각각 출력되는 신호를 합산하여 그 결과치를 채널 등화된 신호로 출력하는 합산기이다.

상기에서 포워드 계수 갱신부(22)는, 일정 시간 지연시킨 입력 심볼과 상기 에러 발생기(17)에서 출력되는 에러 추정치를 승산하는 승산기(22a)와, 상기 승산기(22a)를 통한 신호를 누적하는 누적기(22b)와, 상기 누적기(22b)를 통한 신호와 저장되어 있던 포워드 탭을 가산하는 가산기(22d)로 구성되었다.

또한 백워드 계수 갱신부(19)는, 상기 에러 발생기(17)에서 출력되는 에러 추정치와 등화된 출력신호를 승산하는 승산기(19a)와, 상기 승산기(19a)를 통한 신호를 누적하는 누적기(22b)와, 상기 누적기(22b)를 통한 신호와 저장되어 있던 백워드 탭을 가산하는 가산기(22d)로 구성되었다.

이러한 구성을 갖는 일반적인 VSB방식의 채널 등화기의 동작을 설명하면 다음과 같다.

먼저, VSB 수신기(20)는 송신측으로부터 도2에 도시된 바와 같은 데이터 프레임의 수신하다가, 채널 변화로 인해 진폭 및 위상 왜곡이 심한 데이터 프레임을 수신하게 되면, 비선형 결정 회환(decision feedback)등화 동작을 수행하여 진폭 및 위상 왜곡이 보상된 신호로 복원한다.

즉, 훈련열 발생기(14)는 채널 왜곡을 보상하기 위한 훈련열을 생성하여 멀티플렉서(16)를 통해 출력하며, 에러 발생기(17)는 상기 멀티플렉서(16)의 출력신호에서 채널 등화 출력신호를 감산하여 오류신호를 발생하고, 이 오류신호를 포워드 계수 갱신부(22)와 백워드 계수 갱신부(19)로 전달한다. 그러면 포워드 계수 갱신부(22)는 오류신호로 평균 제곱 오차를 최소로 하도록 한 심볼 레이트당 하나의 탭 계수를 갱신하게 되며, 이와 동시에 백워드 계수 갱신부(19)도 오류신호로 평균 제곱 오차를 최소로 하도록 한 심볼 레이트당 하나의 탭 계수를 갱신하게 된다.

이리하여 포워드 필터(12)는 포워드 계수 갱신부(22)에서 출력되는 탭 계수로 다수개의 지연기를 통한 입력 심볼을 필터링하게 되며, 백워드 필터(21)는 상기 백워드 계수 갱신부(19)에서 출력되는 탭 계수로 멀티플렉서(16)를 통한 훈련열을 필터링하게 된다. 그러면 합산기(13)는 포워드 필터(12)와 백워드 필터(21)를 통한 신호를 합산하여 채널 등화 출력신호를 발생하게 된다. 이리하여 채널 등화기는 훈련열을 발생하여 채널 왜곡이 보상된 신호를 복원하게 되는 것이다.

현재, HDTV에서 사용하는 변복조 방식인 VSB에서는 실(real)신호만을 사용하고, 따라서 신호율이 높고 다중 레베를 사용 함으로써 채널의 다중 경로는 신호 왜곡의 주요한 원인이 되고 있다. 왜곡을 보상 할 수 있는 범위는 신호율과 등화기 탭 수로써 결정되며 현재 HDTV에서는 256탭을 사용하여 약 23 μ sec정도의 다중 경로로 인한 왜곡을 보상할 수 있다.

그런데, 전술한 바와 같은 종래 VSB방식 HDTV의 수신기에 적용되는 채널 등화기는, 훈련열을 이용하여 10.762MHz의 한 심볼 레이트 당 한 개의 탭 계수를 갱신하여 등화 동작을 수행하기 때문에 채널 적응 속도가 저하되고, 블라인드(BLIND) 모드의 적용시 제한이 따르는 문제점을 발생하였다.

발명이 이루고자 하는 기술적 과제

이러한 본 발명의 목적을 달성하기 위한 기술적인 수단은,

이하, 본 발명의 바람직한 실시예의 작용 및 효과를 설명하면 다음과 같다.

도 6은 본 발명에 의한 고속 채널 등화 시스템의 블록 구성도이다.

상기에서 포워드 탭 계수 갱신부(410)는, 상기 포워드 탭 지연부(500)에서 출력되는 다수개의 수신 심볼과 상기 기준 신호 발생부(200)에서 출력되는 오차신호를 각각 곱하는 다수개의 곱셈기(411-1)-(411-16)와, 상기 다수개의 곱셈기(411-1)-(411-16)와 일대일로 대응되어 상기 곱셈기에서 출력되는 데이터를 4배의 심볼 클럭(fs4)에 따라 지연시키는 다수개의 지연기(412-1)-(412-16)와, 상기 다수개의 지연기(412-1)-(412-16)와 일대일로 대응되어 각 지연기의 출력신호를 채널 왜곡 특성의 상해 속도 조절 신호(step)에 따라 이동(shift)시키는 다수개의 쉬프트기(413-1)-(413-16)와, 상기 각 쉬프트기(413-1)-(413-16)와 일대일로 대응되어 각 쉬프트기에서 각각 이동된 신호와 4개 단위의 지연기(415-1)-(415-16), (416-1)-(416-16), (417-1)-(417-16), (418-1)-(418-16)를 순차적으로 통한 신호를 가산하는 다수개의 가산기(414-1)-(414-16)와, 상기 각 가산기(414-1)-(414-16)와 일대일로 대응되어 각 가산기에서 출력되는 신호를 4배의 심볼 클럭(fs4)에 따라 4개의 지연기를 통해 순차적으로 지연시키는 4개 단위의 다수개 지연기(415-1)-(415-16), (416-1)-(416-16), (417-1)-(417-16), (418-1)-(418-16)와, 상기 4개 단위의 지연기와 일대일로 대응되어 상기 4개 단위의 지연기를 통한 데이터를 설정된 크기로 만드는 다수개의 리미팅부(419-1)-(419-16)로 구성된다.

또한 백워드 탭 계수 갱신부(430)는, 상기 백워드 탭 지연부(300)에서 출력되는 다수개의 기준 신호와 기준 신호 발생부(200)에서 출력되는 오차신호를 각각 곱하는 다수개의 곱셈기(431-1)-(431-48)와, 상기 다수개의 곱셈기(431-1)-(431-48)와 일대일로 대응되어 상기 곱셈기에서 출력되는 데이터를 4배의 심볼 클럭(fs4)에 따라 지연시키는 다수개의 지연기(432-1)-(432-48)와, 상기 다수개의 지연기(432-1)-(432-48)와 일대일로 대응되어 각 지연기의 출력신호를 채널 왜곡 특성의 상쇄 속도 조절 신호(step)에 따라 이동(shift)시키는 다수개의 쉬프트기(433-1)-(433-48)와, 상기 각 쉬프트기(433-1)-(433-48)와 일대일로 대응되어 각 쉬프트기에서 각각 이동된 신호와 4개 단위의 지연기(435-1)-(435-48), (436-1)-(436-48), (437-1)-(437-48), (438-1)-(438-48)를 순차적으로 통한 신호를 가산하는 다수개의 가산기(434-1)-(434-48)와, 상기 각 가산기(434-1)-(434-48)와 일대일로 대응되어 각 가산기에서 출력되는 신호를 4배의 심볼 클럭(fs4)에 따라 4개의 지연기를 통해 순차적으로 지연시키는 4개 단위의 다수개 지연기(435-1)-(435-48), (436-1)-(436-48), (437-1)-(437-48), (438-1)-(438-48)와, 상기 4개 단위의 지연기와 일대일로 대응되어 상기 4개 단위의 지연기를 통한 데이터를 설정된 크기로 만드는 다수개의 리미팅부(439-1)-(439-48)로 구성된다.

상기에서 필터부(600)는, 상기 포워드 탭 계수 갱신부(410)에서 갱신된 계수에 따라 상기 포워드 탭 지연부(500)내 다중화기(502-1)-(502-16)에서 다중화되어 출력되는 입력 심볼을 필터링하는 포워드 필터(610)와, 상기 백워드 탭 계수 갱신부(430)에서 갱신된 계수에 따라 상기 백워드 탭 지연부(300)내 다중화기(302-1)-(302-48)에서 다중화되어 출력되는 기준신호를 필터링하는 백워드 필터(620)와, 상기 포워드 필터(610) 및 백워드 필터부(620)에서 각각 필터링된 신호와 상기 포워드 탭 지연부(500)내 다중화기(503)에서 출력된 기준탭의 신호를 가산하여 채널 등화 출력 신호를 발생하는 합산기(630)로 구성된다.

상기에서 포워드 필터(610)는, 상기 포워드 탭 지연부(500)에서 전달된 데이터와 상기 포워드 탭 계수 갱신부(410)의 탭 계수를 각각 곱하는 다수개의 곱셈기(611-1)-(611-16)와, 상기 각 곱셈기(611-1)-(611-16)를 통한 데이터를 4배의 심볼 클럭(fs4)에 따라 지연시키는 다수개의 지연기(612-1)-(612-16)와, 상기 각 지연기(612-1)-(612-16)를 통한 다수개의 데이터를 더하는 캐리 세이프 에더(613)와, 래지스터(614-3)를 통한 누적값과 리셋 기능을 위해 설정값을 제어신호(ctrl)에 따라 다중화하는 다중화기(614-4)와, 상기 다중화기(614-4)를 통한 신호와 상기 캐리 세이프 에더(613)를 통한 신호를 가산하는 가산기(614-2)와, 상기 가산기(614-2)를 통한 데이터를 4배의 심볼 클럭에 따라 지연시키는 래지스터(614-3)로 구성된다.

또한 백워드 필터(620)는, 상기 백워드 탭 지연부(300)에서 전달된 기준신호와 상기 백워드 탭 계수 갱신부(430)의 탭 계수를 각각 곱하는 다수개의 곱셈기(621-1)-(621-48)와, 상기 각 곱셈기(621-1)-(621-48)를 통한 데이터를 4배의 심볼 클럭(fs4)에 따라 지연시키는 다수개의 지연기(622-1)-(622-48)와, 상기 각 지연기(622-1)-(622-48)를 통한 다수개의 데이터를 더하는 캐리 세이프 에더(623)와, 래지스터(624-3)를 통한 누적값과 리셋 기능을 위해 설정값을 제어신호(ctrl)에 따라 다중화하는 다중화기(624-4)와, 상기 다중화기(624-4)를 통한 신호와 상기 캐리 세이프 에더(623)를 통한 신호를 가산하는 가산기(624-2)와, 상기 가산기(624-2)를 통한 데이터를 4배의 심볼 클럭에 따라 지연시키는 래지스터(624-3)로 구성된다.

이와 같이 구성된 본 발명에 의한 고속 채널 등화 시스템의 동작을 설명하면 다음과 같다.

먼저, 하기의 표1a는 본 발명에 의한 고속 채널 등화기의 각 편의 입출력 신호이다.

[표 1a]

NAME(pin count)	TYPE	FUNCTION
fs	input	심볼 클럭(10.762MHz)
fs4	input	심볼 클럭(4 * fs)
vin(8)	input	8비트 입력 신호
field_lock	input	필드 동기 록 콘트롤 신호
field_sync	input	필드 동기 플래그(828심볼 동안 1)
seg_sync	input	세그먼트 동기 플래그(4심볼 동안 1)
comb	input	콤 필터 모드 선택(콤 필터 통과시 1)
vsbmode	input	VSB 모드 선택신호(8VSB 0, 16VSB 1)
even_odd	input	데이터 필드 모드선택(짝수필드 0, 홀수필드 1)
/cs	input	등화기 칩 선택(마이컴의 등화기 칩 지정신호)
/wr	input	기록 스트로브(마이컴의 데이터 쓰기 스트로브)
/rd	input	리드 스트로브(마이컴의 데이터 읽기 스트로브)
addr(3)	input	마이컴 어드레스 버스
data(8)	input	마이컴 데이터 버스
other_err(6)	input	칩내부와 다른 알고리즘으로 계산된 에러
bypass	input	입력 통과 스트로브(통과시 1)
freeze	input	계수 고정 스트로브(계수 고정시 1)
updaterr_sel	input	계수갱신 에러 선택(내부 에러 0, 외부 에러 1)
only_trainm_mode	input	동작 모드 선택(트레인 모드로만 동작시 1)
errout_mode_sel	input	출력 에러 선택(트레인 에러만 출력시 1)
overlap	input	탭 오버랩 선택(오버랩 허용시 1)
tap_position(2)	input	탭 위치 삽입(00:15 th tap, 01:31 st tap, 10:47 th tap, 11:62 nd tap)
step_train(2)	input	트레인 모드 스텝
step_blind(2)	input	블라인드 모드 스텝
update_start(2)	input	계수갱신 시작위치(00:45심볼, 01:90심볼, 10:135심볼, 11:180심볼)
control_sel	input	칩 콘트롤 선택(핀 콘트롤시 0, 마이컴 콘트롤시 1)
fsync_to_ptl	output	PTL블록으로 지연된 필드 동기 출력
ssync_to_ptl	output	PTL블록으로 지연된 세그먼트 동기 출력
out_error(6)	output	에러 출력
vout(10)	output	PTL블록으로 출력되는 데이터

VSb 수신기에서 송신측으로부터의 심볼을 수신하면, 고속 채널 등화 시스템내 제어부(100)는 데이터 프레임에 대한 정보를 해당 신호(field_lock, field_sync, segment_sync, even_odd, vsb_mode, comb)로부터 얻고, 이를 통해 채널 등화 동작을 제어한다.

즉, 제어부(100)는 도13에 도시된 바와 같이, 데이터 프레임 수신신호(B)가 액티브되고, 828 심볼의 필드 동기 신호중 전단부 700심볼이 수신되는 동안에는 훈련 모드로 채널 등화 동작을 수행하도록 제어하며, 데이터 프레임중 필드 동기 신호의 이후에 포맷된 데이터 심볼이 수신되는 동안에는 블라인드 모드로 채널 등화 동작을 수행하도록 제어한다. 이렇게 훈련모드에서 블라인드 모드로 전환할 경우, 다음 세그먼트의 256 심볼까지 계수 갱신을 억제하며, 블라인드 모드에서 훈련모드로 전환시에도 일정 심볼이 지난 후 계수 갱신을 재개한다.

이리하여 포워드 탭 지연부(500)는 송신측으로부터의 심볼을 수신하여 지연시키며, 백워드 탭 지연부(300)는 0을 지연시키다가 첫 필드 동기 신호의 첫 번째 데이터가 탭 위치의 출력으로 나온 이후부터 기준신호 발생부(200)에서 출력되는 기준신호를 입력받아 지연시키게 된다.

삽입 탭의 위치는 4가지로 설정되어 있으며, 16, 32, 48, 63번째 탭의 신호 중 선택할 수 있게 하여, 훈련 모드로 채널 등화 동작을 수행할 경우, 제어부(100)는 기준신호를 탭 설정 위치와 연관시켜 발생하도록 제어한다. 만약, 삽입탭이 16번째 탭으로 설정되었다면, 첫 기준신호 발생은 필드 동기 신호가 셋팅되고 17심볼 이후 이어야 할 것이다.

그리고 포워드 계수 갱신부(50) 및 백워드 계수 갱신부(70)는, 채널 등화 동작이 시작되고 일정 기간 동안 입력 오차값이 0으로 설정되어 계수 갱신을 허용하지 않으며, 모든 계수가 0으로 설정되어 있기 때문에 탭 위치의 신호를 그대로 내보내는 것과 같은 효과를 가진다. 여기서 계수 갱신 허용 시점은 첫 필드 동기 신호의 첫 번째 데이터가 탭 위치의 출력으로 나온 후 45, 90, 135, 180 심볼로 선택할 수 있도록 한다.

이리하여 송신측으로부터의 전단부 700심볼의 필드 동기신호를 수신하는 동안, 기준신호 발생부(200)는, 송수신간에 미리 약속된 신호인 훈련열을 제어부(100)의 제어에 따라 탭 위치의 데이터가 출력되는 시점에 맞추어 기준 신호 발생기(201)를 통해 발생한다. 그러면 기준 신호 발생부(200)내 오차 신호 발생기(206)는 기준 신호와 채널 등화 출력신호의 차신호를 오차 신호로 발생하여 계수 갱신부(400)로 전달한다.

이에 계수 갱신부(400)내 포워드 탭 계수 갱신부(410)는 기준 신호 발생부(200)에서 출력되는 오차신호에 따라 포워드 탭 지연부(500)에서 지연되어 출력되는 수신 심볼을 통해 한 심볼 클럭 이내에 모든 탭의 계수를 동시에 갱신하게 되며, 이와 동시에 백워드 탭 계수 갱신부(430)는 기준 신호 발생부(200)로부터의 오차신호에 따라 백워드 탭 지연부(300)에서 지연되어 출력되는 기준신호를 통해 한 심볼 클럭 이내에 모든 탭의 계수를 동시에 갱신하게 된다.

여기서, 계수 갱신부(400)의 LMS 알고리즘을 사용한 계수 갱신은 (식1)을 이용한다.

$$C_{k+1} = C_k + B_{eb} X_k \quad (\text{식1})$$

k : 스텝 크기 k 번째의 오차신호

X : k 번째의 입력신호

즉, 포워드 탭 계수 갱신부(410)내 16개의 곱셈기(411-1)-(411-16)는 포워드 탭 지연부(500)에서 출력되는 16개의 출력신호와 기준 신호 발생부(200)의 오차신호를 곱하며, 쉬프트기(413-1)-(413-16)는 16개의 곱셈기(411-1)-(411-16)를 각각 통한 16개의 14비트 데이터를 채널 왜곡 특성의 상해 속도를 조절하는 신호(step)에 따라 5내지 8비트의 라이트 쉬프트 동작을 수행하며, 여기서 최상위 비트 쪽에는 사인 비트를 채우고 최하위 비트 쪽에는 8개의 비트를 더해 그 결과값으로 22비트의 신호를 각각 생성한다.

그러면 해당 곱셈기와 대응된 가산기(414-1)-(414-16)는 22비트의 신호를 이전의 누적값과 더하게 된다. 이리하여 가산기를 통한 신호는 1 심볼 클럭 동안 4번의 같은 동작을 반복하도록 구성된 4개의 지연기(415-1)-(418-1)를 통해 지연되며, 이 지연시킨 값을 다음 탭 계수 갱신 가산기(414-1)-(414-16)로 제공한다. 이렇게 가산기(414-1)-(414-16)와 지연기(415-1)-(415-16), (416-1)-(416-16)를 순차적으로 통한 22비트의 신호는 그 위치에 대응하는 16개의 리미팅부(419-1)-(419-16)에서 10비트로 잘라져 포워드 필터(610)로 전달된다.

포워드 탭 계수 갱신부(410)의 탭 계수 갱신과 동시에 백워드 탭 계수 갱신부(430)도 탭 계수를 갱신하게 되는데, 백워드 탭 계수 갱신부(430)내 48개의 곱셈기에서 기준신호 발생부(200)의 오차신호와 백워드 탭 지연부(300)로부터 지연되어 출력된 기준신호를 곱하게 되며, 탭 계수 갱신 방법은 전술한 포워드 탭 계수 갱신부(410)의 동작 방법과 동일하다.

이리하여 포워드 탭 계수 갱신부(410)와 백워드 탭 계수 갱신부(430)에서 한 심볼 클럭 이내에 256개의 모든 탭 계수가 동시에 갱신되면, 필터부(600)는 계수 갱신부(400)에서 갱신된 탭 계수를 이용하여 각 필터 입력 신호에 대해 필터링을 수행하여 채널 왜곡 특성이 상쇄된 채널 등화 출력 신호를 발생하게 된다.

즉, 포워드 필터(610)내 16개의 곱셈기(611-1)-(611-16)는 포워드 탭 계수 갱신부(410)에서 출력되는 계수와 포워드 탭 지연부(500)에서 출력되는 심볼 데이터를 각각 곱하며, 캐리세이프 에더(CSA)(613)는 16개의 곱셈기(611-1)-(611-16)의 출력신호를 더한다. 그리하여 다중화기(614-4)는 래지스터(614-3)를 통한 이전의 누적값과 0을 입력받아 제어부(100)로부터의 제어신호(ctrl)에 따라 다중화하여 이전의 누적값을 출력하며, 가산기(614-2)는 캐리세이프 에더(613)의 출력값과 다중화기(614-4)의 출력값을 가산한다.

또한 백워드 필터(620)내 48개의 곱셈기(621-1)-(621-48)는 백워드 탭 계수 갱신부(430)에서 출력되는 계수와 백워드 탭 지연부(300)에서 출력되는 기준신호를 각각 곱하며, 캐리세이프 에더(623)는 48개의 곱셈기(621-1)-(621-48)에서 각각 출력되는 신호를 더한다. 그러면 다중화기(624-4)는 래지스터(624-3)를 통한 이전의 누적값과 0을 입력받아 제어부(100)로부터의 제어신호(ctrl)에 따라 다중화하여 이전의 누적값을 출력하며, 가산기(624-2)는 캐리세이프 에더(623)의 출력값과 다중화기(624-4)의 출력값을 가산하게 된다. 그러면 합산기(630)는 포워드 필터(610)와 백워드 필터(620)의 출력값과 포워드 탭 지연부(500)내 다중화기(503)의 기준신호를 합산하여 채널 등화 출력신호를 출력하게 된다.

여기서 제어 클럭은 4배의 심볼 클럭(fs4)을 사용하며, 제어신호(ctrl) 또한 4가지 모드를 반복하여 동일한 연산 장치를 공유한다. 즉, 256 탭의 신호를 64 탭씩 나누어 계산하여 합산하는 방식이다. 더해진 값이 누적될 때 새로운 포워드 탭 지연부(500) 및 백워드 탭 지연부(300)의 신호들이 더해질 경우 이전의 누적값과 더하는 것이 아니라 0을 더해줘 리셋 기능을 수행한다.

또한 타이밍 관계를 살펴보면, 새로운 탭 신호가 출력되는 데는 $7 \cdot (fs4 \text{의 클럭주기})$ 의 시간이 걸린다. 여기서 필터링된 결과는 라운딩 과정을 거쳐 심볼 클럭(fs)에 의해 출력함으로써 항상 두 클럭의 레이턴시(latency)를 가지고 연산이 이루어지는 파이프라인 구조를 형성한다.

이렇게 필드 동기 신호를 수신하는 동안 제어부(100)는 고속 채널 등화 시스템이 송수신간에 미리 약속된 훈련열을 통해 채널 왜곡 특성을 상쇄시키는 훈련 모드로 채널 등화 동작을 수행하도록 제어하다가, 필드 동기 신호를 모두 수신하고 데이터 심볼을 수신하게 되면, 제어부(100)는 수신 측에서의 송신심볼 예측 값을 통해 채널 왜곡 특성을 상쇄시키는 블라인드 모드로 채널 등화 동작이 수행되도록 제어한다.

이때 제어부(100)는 다음 세그먼트의 256심볼까지 계수 갱신을 억제하다가, 수신 데이터 심볼이 탭 위치로 출력되는 시점에 맞추어 기준 신호 발생부(200)내 슬라이서(202)에서 송신 심볼 예상값을 출력하도록 제어한다. 이에, 슬라이서(202)는 채널 등화 출력신호를 슬라이싱하여 송신 심볼 예상값을 기준신호로 백워드 탭 지연부(300)에 출력하게 되며, 오차 신호 발생기(206)는 이 기준신호와 채널 등화 출력신호를 감산하여 차 신호로 오차신호를 생성하여 계수 갱신부(400)로 전달한다.

그러면 백워드 탭 계수 갱신부(430)는 백워드 탭 지연부(300)에서 지연되어 출력되는 기준신호와 기준신호 발생부(200)의 오차신호로 한 심볼 클럭 이내에 백워드 탭의 계수를 동시에 모두 갱신하게 된다. 이와 동시에 포워드 탭 계수 갱신부(410)는 포워드 탭 지연부(500)에서 지연되어 출력되는 데이터 심볼과 기준 신호 발생부(200)의 오차신호로 한 심볼 클럭 이내에 포워드 탭 계수를 동시에 모두 갱신하게 된다.

그러면 필터부(600)내 포워드 필터(610)는 포워드 탭 계수 갱신부(410)의 계수를 이용하여 수신 데이터 심볼을 필터링하게 되며, 이와 동시에 백워드 필터(620)는 백워드 탭 계수 갱신부(430)의 계수를 이용하여 기준신호를 필터링하게 되며, 합산기(630)는 이 포워드 필터(610)의 출력신호와 백워드 필터(620)의 출력신호 및 포워드 탭 지연부(500)에서 출력되는 기준 탭 신호를 합산하여 채널 왜곡 특성이 상쇄된 채널 등화 출력신호를 출력하게 된다.

이리하여 고속 채널 등화 시스템은, 수신 데이터 프레임에 의해 얻어지는 정보로 전체 채널 등화 동작을 제어하는 제어부에 따라, 자동적으로 훈련 모드와 블라인드 모드의 채널 등화 동작을 수행하여 채널 왜곡 특성을 상쇄하도록 동작하게 되는 것이다.

또한 본 발명에 의한 고속 채널 등화 시스템은 8VSB, 16VSB, comb 필터 통과 모드 모두에 대해 채널 적응이 가능하며, 특히 16 VSB 모드에 대해서는 백워드 필터 부분을 억제하여 64탭의 필터로 구현하여 피드백 비트 폭(feedback bit width)으로 인한 칩 사이즈 증가를 억제한다.

그리고 내부적으로 파이프라인을 사용해 출력을 지연시키는 방법과 4배의 심볼 클럭에 해당하는 클럭을 사용해 병렬 구조에 대해서는 같은 연산 장치를 반복적으로 사용해 칩사이즈를 감소시키게 된다. 또한 모든 탭 계수 갱신을 한 심볼 클럭 이내에 하도록 하고, 삽입탭을 설정하여 채널 왜곡 특성의 상쇄 속도를 빠르게 한다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명 "고속 채널 등화 시스템"은, 특히 콤(COMB) 필터 통과모드, 8VSB 모드 및 16VSB 모드의 모든 경우에 10.76 2MHz의 한 심볼 레이트마다 모든 탭 계수를 동시에 갱신 함으로써 채널 적응 속도를 신속하게 하고, 블라인드(BLIND) 모드 채널 등화 동작이 가능하도록 하는 효과가 있게 되는 것이다.

또한 4배의 심볼 클럭에 해당하는 클럭으로 병렬 구조에 대해서는 같은 연산 장치를 반복적으로 사용함으로써 칩사이즈를 감소시키며, 탭 계수 제장을 위한 램을 제거하여 시스템 구성을 간단하게 하는 효과도 있게 되는 것이다.

그리고 훈련 모드와 블라인드 모드의 반복적인 채널 등화 동작의 수행으로 채널 왜곡 특성의 상쇄 성능을 높일 수 있게 되는 효과도 있다.

(57) 청구의 범위

청구항 1.

고속 디지털 통신 시스템에서 채널 왜곡 특성을 상쇄시켜 송신 심볼을 복원하는 채널 등화 시스템에 있어서,

입력되는 데이터 프레임에 대한 정보에 따라 모드 제어 및 계수 갱신 허용 시점을 제어하며, 채널 등화 전체 동작을 제어하는 제어부(100)와;

상기 제어부(100)의 제어에 따라 탭 위치의 데이터가 출력되는 시점에 맞추어 기준신호를 발생하고 그 기준신호와 출력신호를 비교하여 오차신호를 발생하는 기준신호 발생부(200)와;

상기 기준신호 발생부(200)에서의 출력신호를 설정된 탭 개수만큼 지연시켜 출력하는 백워드 탭 지연부(300)와;

상기 기준신호 발생부(200)에서 발생된 오차신호에 따라 한 심볼 클럭 이내에 각 탭의 계수를 모두 갱신하는 계수 갱신부(400)와;

송신측으로부터의 전송 데이터를 설정된 탭 개수만큼 지연시켜 출력하는 포워드 탭 지연부(500)와;

상기 계수 갱신부(400)에서 갱신되는 탭 계수에 따라 상기 포워드 탭 지연부(500)와 백워드 탭 지연부(300)에서 각각 출력되는 출력/피이드백 데이터를 필터링하고 그 필터링된 출력 데이터 및 피이드백 데이터를 가산하여 채널 등화 출력신호로 발생하는 필터부(600)로 구성된 것을 특징으로 하는 고속 채널 등화 시스템.

청구항 2.

제 1항에 있어서, 상기 기준신호 발생부(200)는,

상기 제어부(100)의 제어에 따라 탭 위치의 데이터가 출력되는 시점에 맞추어, 훈련모드로 채널 등화 동작시 송수신 양측간에 미리 약속된 훈련열을 기준 신호로 발생하는 기준 신호 발생기(201)와, 상기 제어부(100)의 제어에 따라 탭 위치의 데이터가 출력되는 시점에 맞추어, 블라인드(blind) 모드로 채널 등화 동작시 채널 등화 출력신호를 슬라이싱하여 송신 예상값을 기준신호로 출력하는 슬라이서(202)와, 상기 기준 신호 발생기(201) 및 슬라이서(202)에서 출력되는 신호를 훈련모드와 블라인드 모드의 결정 신호에 따라 다중화하는 다중화기(203)와, 채널 등화 출력신호와 상기 다중화기(203)에서 출력되는 신호를 비교하여 오차신호를 발생하는 오차신호 발생기(206)와, 채널 등화 출력신호를 설정된 크기로 리미팅하여 출력하는 리미팅부(208)로 구성된 것을 특징으로 하는 고속 채널 등화 시스템.

청구항 3.

제 1항에 있어서, 상기 백워드 탭 지연부(300)는,

상기 기준신호 발생부(200)에서 출력되는 기준신호를 지연시켜 출력하는 다수개의 지연기(301-1)-(301-196)와, 상기 지연기(301-1)-(301-196)에서 각각 지연되어 출력되는 데이터를 설정된 개수 단위로 순차적으로 다중화하는 다수개의 다중화기(302-1)-(302-49)로 구성된 것을 특징으로 하는 고속 채널 등화 시스템.

청구항 4.

제 1항에 있어서, 상기 포워드 탭 지연부(500)는,

송신측으로부터의 심볼을 지연시켜 출력하는 다수개의 지연기(501-1)-(501-68)와, 상기 지연기(501-1)-(501-68)에서 각각 지연되어 출력되는 입력심볼을 설정된 개수 단위로 순차적으로 다중화하는 다수개의 다중화기(502-1)-(502-17)와, 송신측으로부터의 심볼 수신 및 수신측에서의 기준 신호 발생 시점을 맞추도록 선택하는 4개의 특정 지연기에서 출력되는 심볼을 다중화하는 다중화기(503)로 구성된 것을 특징으로 하는 고속 채널 등화 시스템.

청구항 5.

제 1항에 있어서, 상기 계수 갱신부(400)는,

상기 기준 신호 발생부(200)에서 출력된 오차신호와 상기 포워드 탭 지연부(500)의 출력 신호로 한 심볼 클럭 이내에 포워드 탭의 계수를 모두 갱신하는 포워드 탭 계수 갱신부(410)와, 상기 기준 신호 발생부(200)에서 출력된 오차신호와 상기 백워드 탭 지연부(300)의 출력신호로 한 심볼 클럭 이내에 백워드 탭의 계수를 모두 갱신하는 백워드 탭 계수 갱신부(430)로 구성된 것을 특징으로 하는 고속 채널 등화 시스템.

청구항 6.

제 5항에 있어서, 상기 포워드 탭 계수 갱신부(410)는,

상기 포워드 탭 지연부(500)에서 출력되는 다수개의 수신 심볼과 상기 기준 신호 발생부(200)에서 출력되는 오차신호를 각각 곱하는 다수개의 곱셈기(411-1)-(411-16)와, 상기 다수개의 곱셈기(411-1)-(411-16)와 일대일로 대응되어 상기 곱셈기에서 출력되는 데이터를 4배의 심볼 클럭(fs4)에 따라 지연시키는 다수개의 지연기(412-1)-(412-16)와, 상기 다수개의 지연기(412-1)-(412-16)와 일대일로 대응되어 각 지연기의 출력신호를 채널 왜곡 특성의 상쇄 속도 조절 신호(step)에 따라 이동(shift)시키는 다수개의 쉬프트기(413-1)-(413-16)와, 상기 각 쉬프트기(413-1)-(413-16)와 일대일로 대응되어 각 쉬프트기에서 각각 이동된 신호와 4개 단위의 지연기(415-1)-(415-16), (416-1)-(416-16), (417-1)-(417-16), (418-1)-(418-16)를 순차적으로 통한 신호를 가산하는 다수개의 가산기(414-1)-(414-16)와, 상기 각 가산기(414-1)-(414-16)와 일대일로 대응되어 각 가산기에서 출력되는 신호를 4배의 심볼 클럭(fs4)에 따라 4개의 지연기를 통해 순차적으로 지연시키는 4개 단위의 다수개 지연기(415-1)-(415-16), (416-1)-(416-16), (417-1)-(417-16), (418-1)-(418-16)와, 상기 4개 단위의 지연기와 일대일로 대응되어 상기 4개 단위의 지연기를 통한 데이터를 설정된 크기로 만드는 다수개의 리미팅부(419-1)-(419-16)로 구성된 것을 특징으로 하는 고속 채널 등화 시스템.

청구항 7.

제 5항에 있어서, 상기 백워드 탭 계수 갱신부(430)는,

상기 백워드 탭 지연부(300)에서 출력되는 다수개의 기준 신호와 상기 기준 신호 발생부(200)에서 출력되는 오차신호를 각각 곱하는 다수개의 곱셈기(431-1)-(431-48)와, 상기 다수개의 곱셈기(431-1)-(431-48)와 일대일로 대응되어 상기 곱셈기에서 출력되는 데이터를 4배의 심볼 클럭(fs4)에 따라 지연시키는 다수개의 지연기(432-1)-(432-48)와, 상기 다수개의 지연기(432-1)-(432-48)와 일대일로 대응되어 각 지연기의 출력신호를 채널 왜곡 특성의 상쇄 속도 조절 신호(step)에 따라 이동(shift)시키는 다수개의 쉬프트기(433-1)-(433-48)와, 상기 각 쉬프트기(433-1)-(433-48)와 일대일로 대응되어 각 쉬프트기에서 각각 이동된 신호와 4개 단위의 지연기(435-1)-(435-48), (436-1)-(436-48), (437-1)-(437-48), (438-1)-(438-48)를 순차적으로 통한 신호를 가산하는 다수개의 가산기(434-1)-(434-48)와, 상기 각 가산기(434-1)-(434-48)와 일대일로 대응되어 각 가산기에서 출력되는 신호를 4배의 심볼 클럭(fs4)에 따라 4개의 지연기를 통해 순차적으로 지연시키는 4개 단위의 다수개 지연기(435-1)-(435-48), (436-1)-(436-48), (437-1)-(437-48), (438-1)-(438-48)와, 상기 4개 단위의 지연기와 일대일로 대응되어 상기 4개 단위의 지연기를 통한 데이터를 설정된 크기로 만드는 다수개의 리미팅부(439-1)-(439-48)로 구성된 것을 특징으로 하는 고속 채널 등화 시스템.

청구항 8.

제 1항에 있어서, 상기 필터부(600)는,

상기 포워드 탭 계수 갱신부(410)에서 갱신된 계수에 따라 상기 포워드 탭 지연부(500)내 다중화기(502-1)-(502-16)에서 다중화되어 출력되는 입력 심볼을 필터링하는 포워드 필터(610)와, 상기 백워드 탭 계수 갱신부(430)에서 갱신된 계수에 따라 상기 백워드 탭 지연부(300)내 다중화기(302-1)-(302-48)에서 다중화되어 출력되는 기준신호를 필터링하는 백워드 필터(620)와, 상기 포워드 필터(610) 및 백워드 필터부(620)에서 각각 필터링된 신호와 상기 포워드 탭 지연부(500)내 다중화기(503)에서 출력된 기준신호의 신호를 가산하여 채널 등화 출력신호를 발생시키는 합산기(630)로 구성된 것을 특징으로 하는 고속 채널 등화 시스템.

청구항 9.

제 8항에 있어서, 상기 포워드 필터(610)는,

상기 포워드 탭 지연부(500)에서 전달된 데이터와 상기 포워드 탭 계수 갱신부(410)의 탭 계수를 각각 곱하는 다수개의 곱셈기(611-1)-(611-16)와, 상기 각 곱셈기(611-1)-(611-16)를 통한 데이터를 4배의 심볼 클럭(fs4)에 따라 지연시키는 다수개의 지연기(612-1)-(612-16)와, 상기 각 지연기(612-1)-(612-16)를 통한 다수개의 데이터를 더하는 캐리 세이프 에더(613)와, 래지스터(614-3)를 통한 누적값과 리셋 기능을 위해 설정값을 제어신호(ctrl)에 따라 다중화하는 다중화기(614-4)와, 상기 다중화기(614-4)를 통한 신호와 상기 캐리 세이프 에더(613)를 통한 신호를 가산하는 가산기(614-2)와, 상기 가산기(614-2)를 통한 데이터를 4배의 심볼 클럭에 따라 지연시키는 래지스터(614-3)로 구성된 것을 특징으로 하는 고속 채널 등화 시스템.

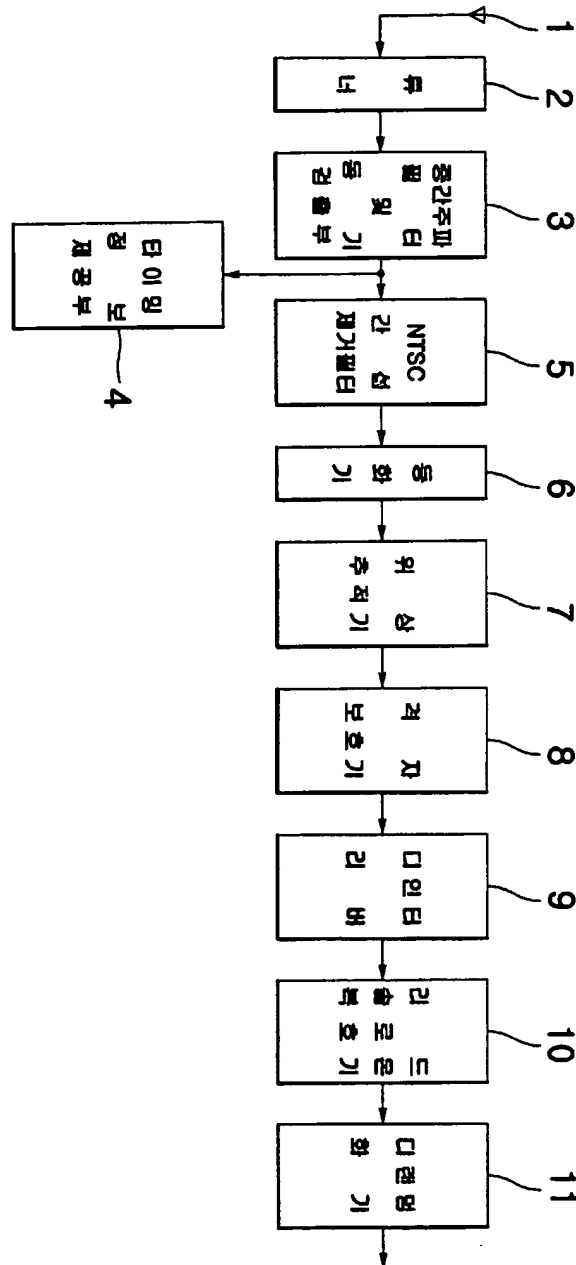
청구항 10.

제 8항에 있어서, 상기 백워드 필터(620)는,

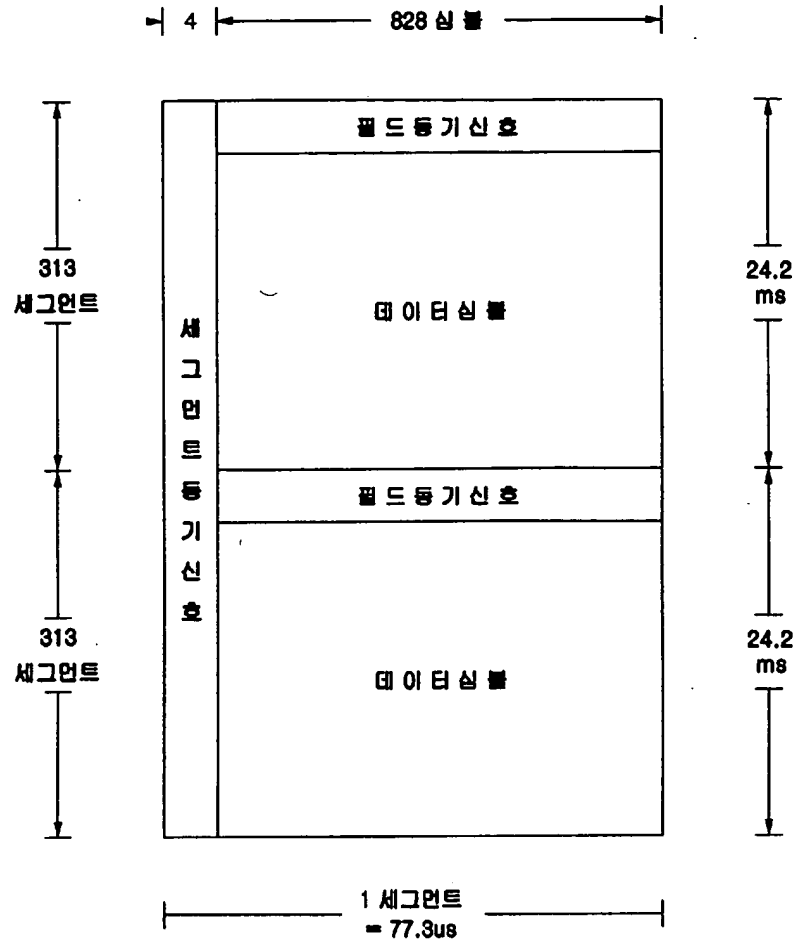
상기 백워드 탭 지연부(300)에서 전달된 기호 신호와 상기 백워드 탭 계수 갱신부(430)의 탭 계수를 각각 가산하는 다수개의 곱셈기(621-1)-(621-48)와, 상기 각 곱셈기(621-1)-(621-48)를 통한 데이터를 4배의 심볼 클럭(fs4)에 따라 지연시키는 다수개의 지연기(622-1)-(622-48)와, 상기 각 지연기(622-1)-(622-48)를 통한 다수개의 데이터를 더하는 캐리 세이프 에더(623)와, 래지스터(624-3)를 통한 누적값과 리셋 기능을 위해 설정값을 제어신호(ctrl)에 따라 다중화하는 다중화기(624-4)와, 상기 다중화기(624-4)를 통한 신호와 상기 캐리 세이프 에더(623)를 통한 신호를 가산하는 가산기(624-2)와, 상기 가산기(624-2)를 통한 데이터를 4배의 심볼 클럭에 따라 지연시키는 래지스터(624-3)로 구성된 것을 특징으로 하는 고속 채널 동화 시스템.

도면

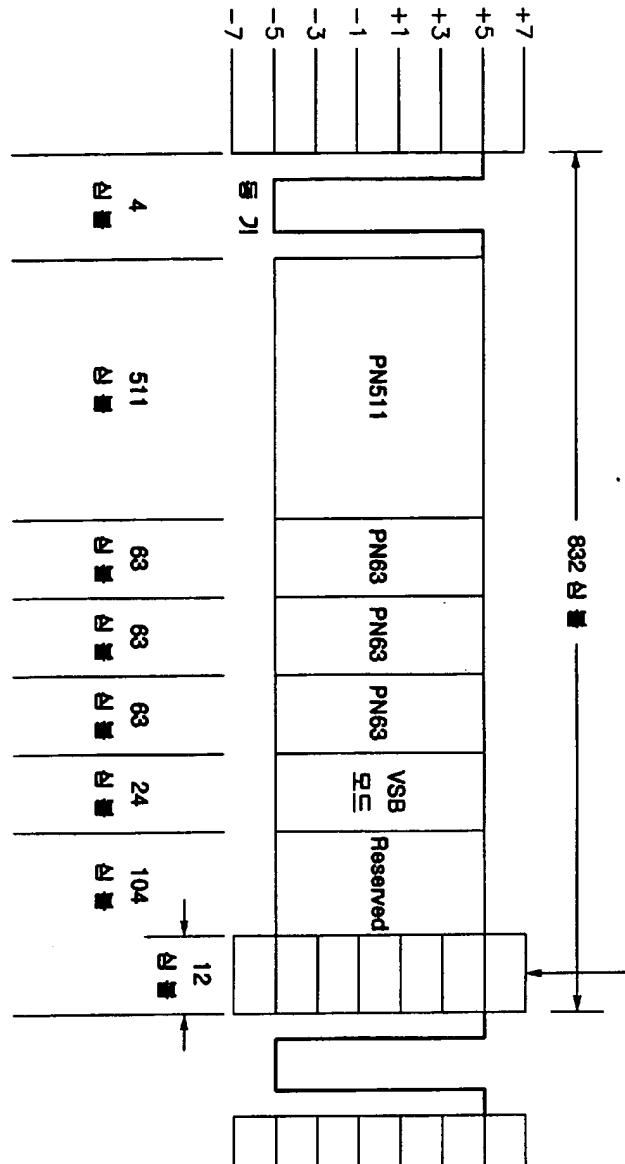
도면 1



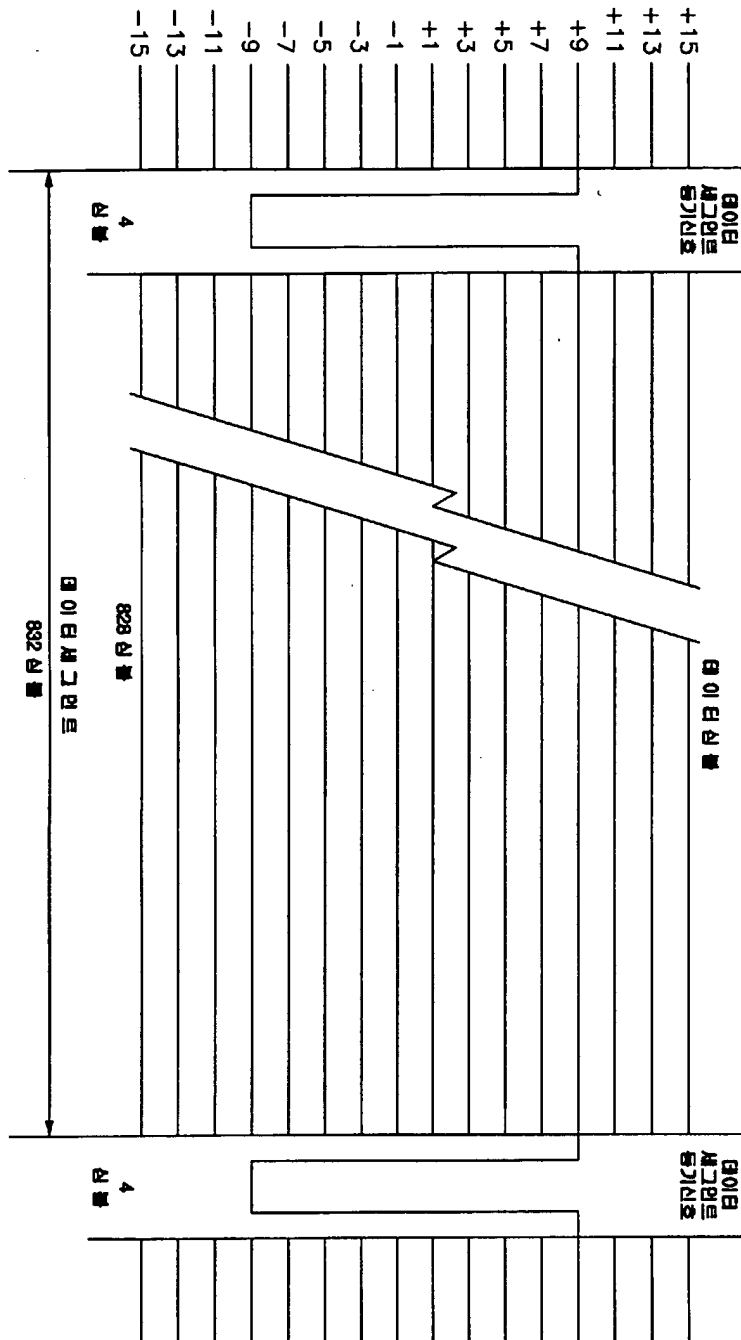
도면 2



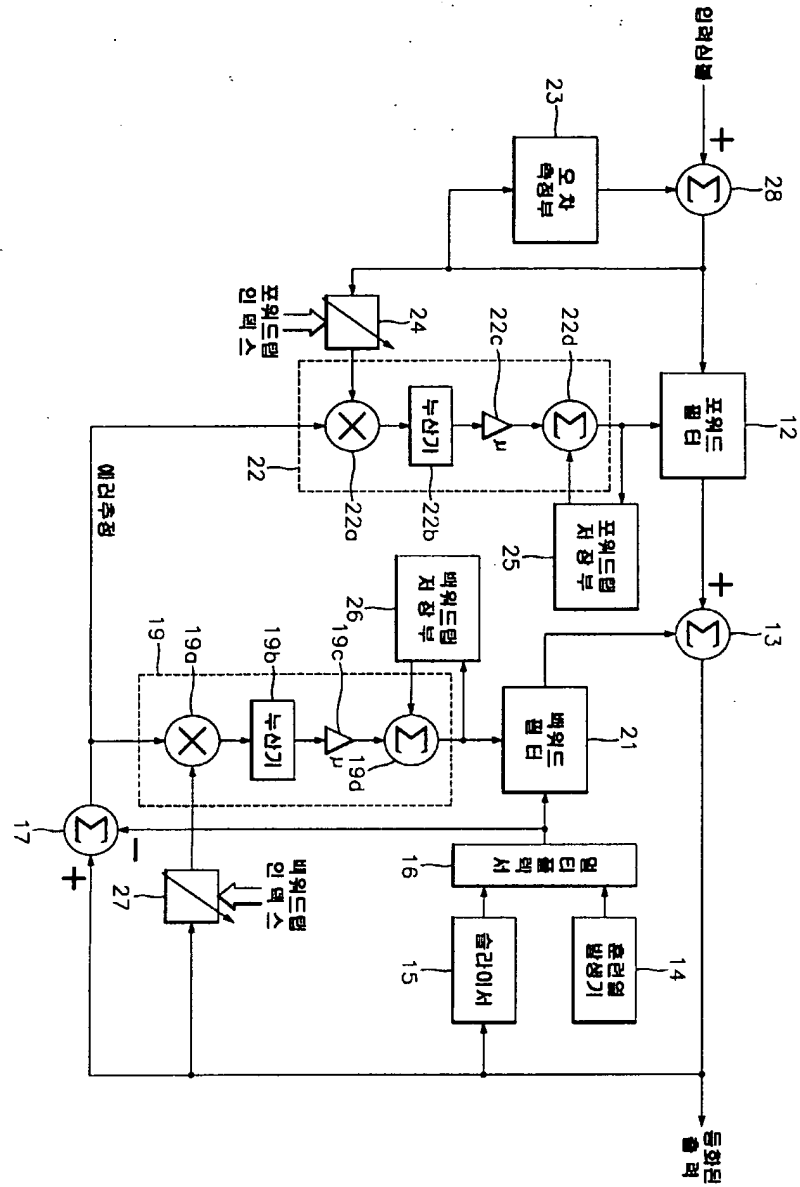
도면 3

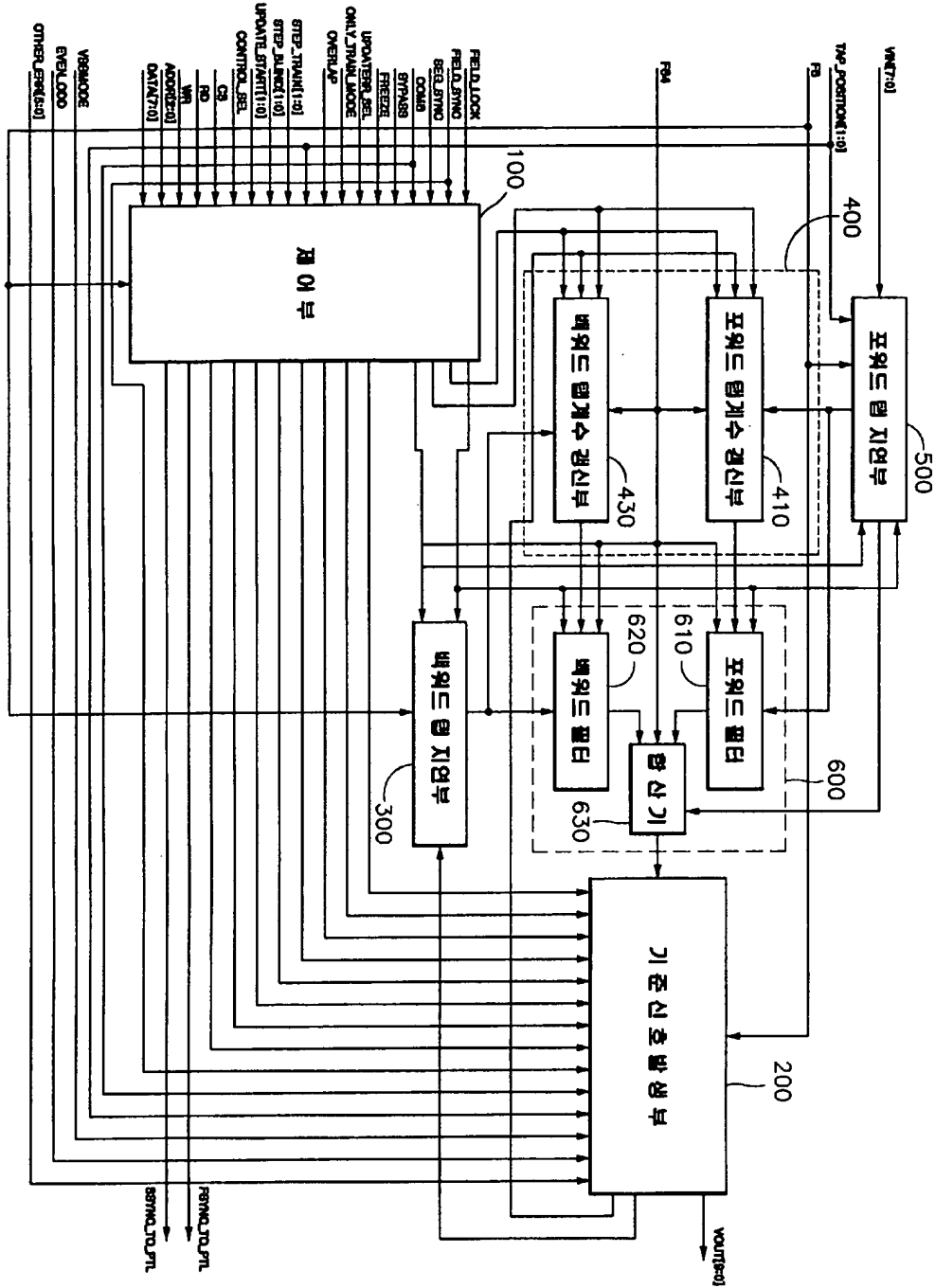


도면 4

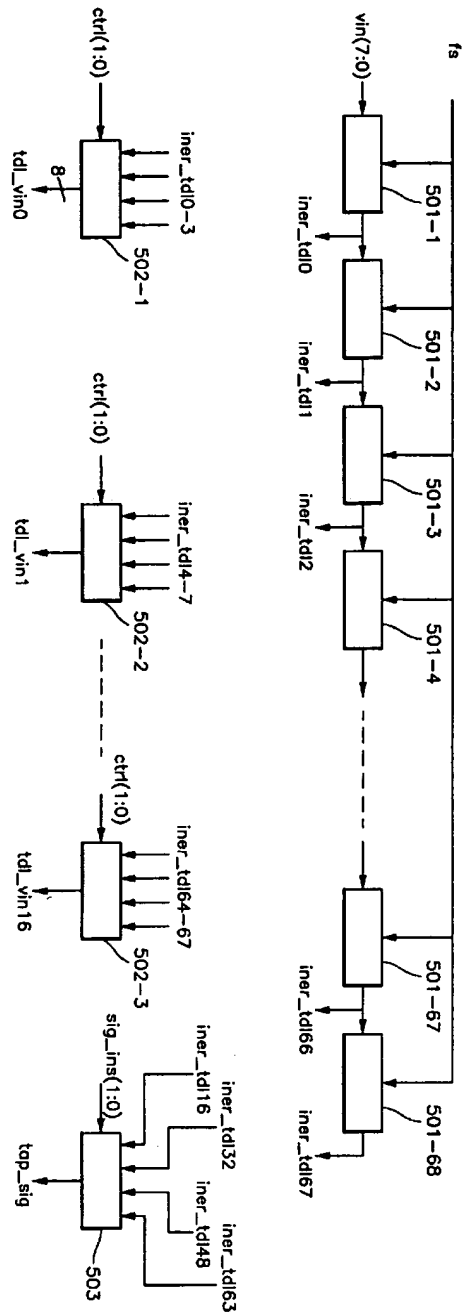


도면 5

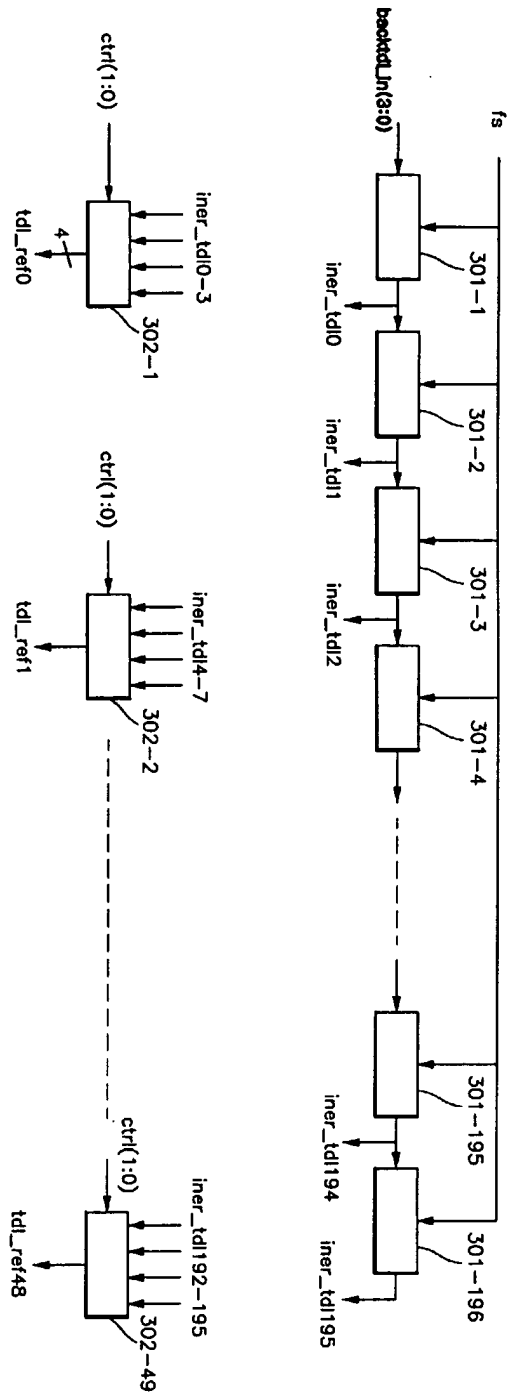




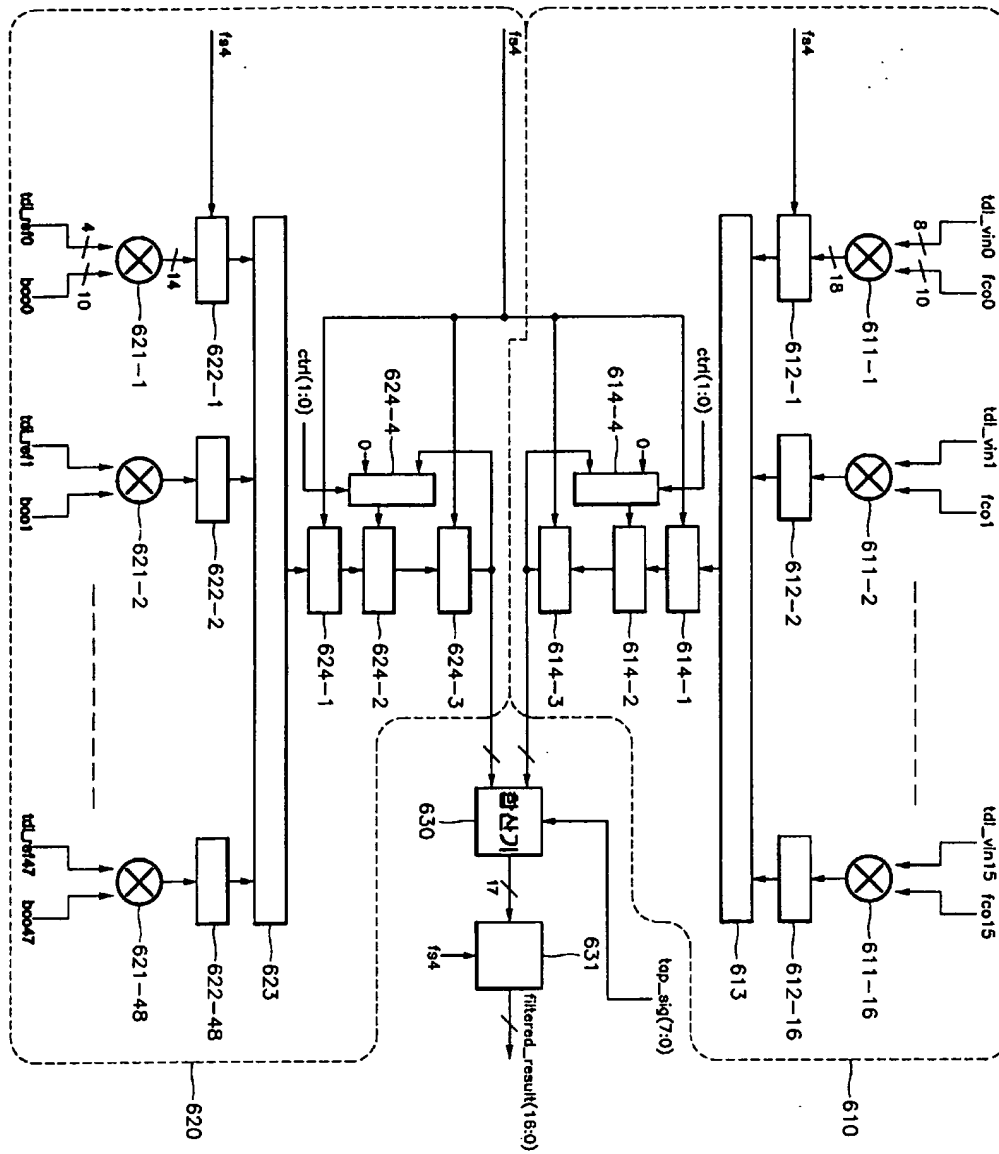
도면 7



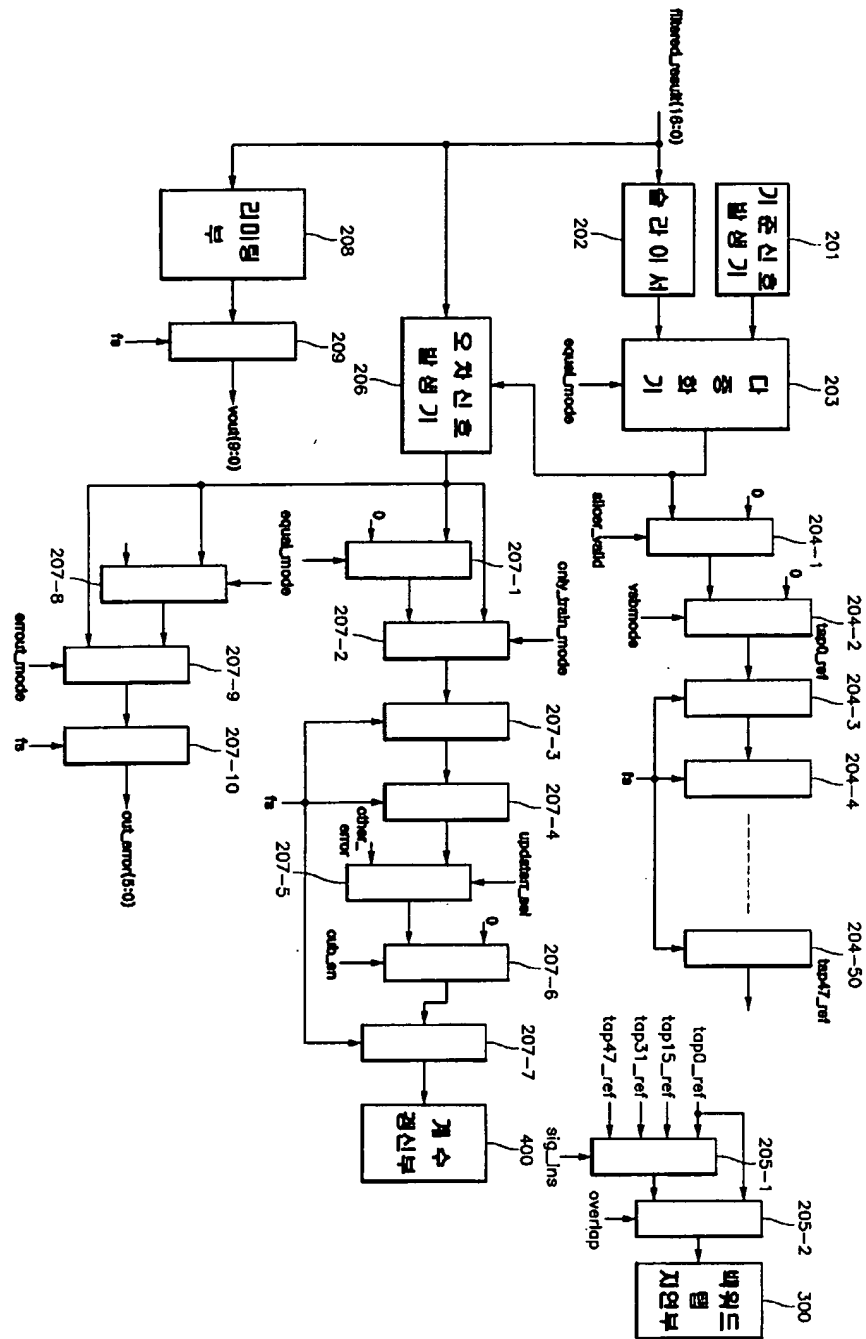
도면 8



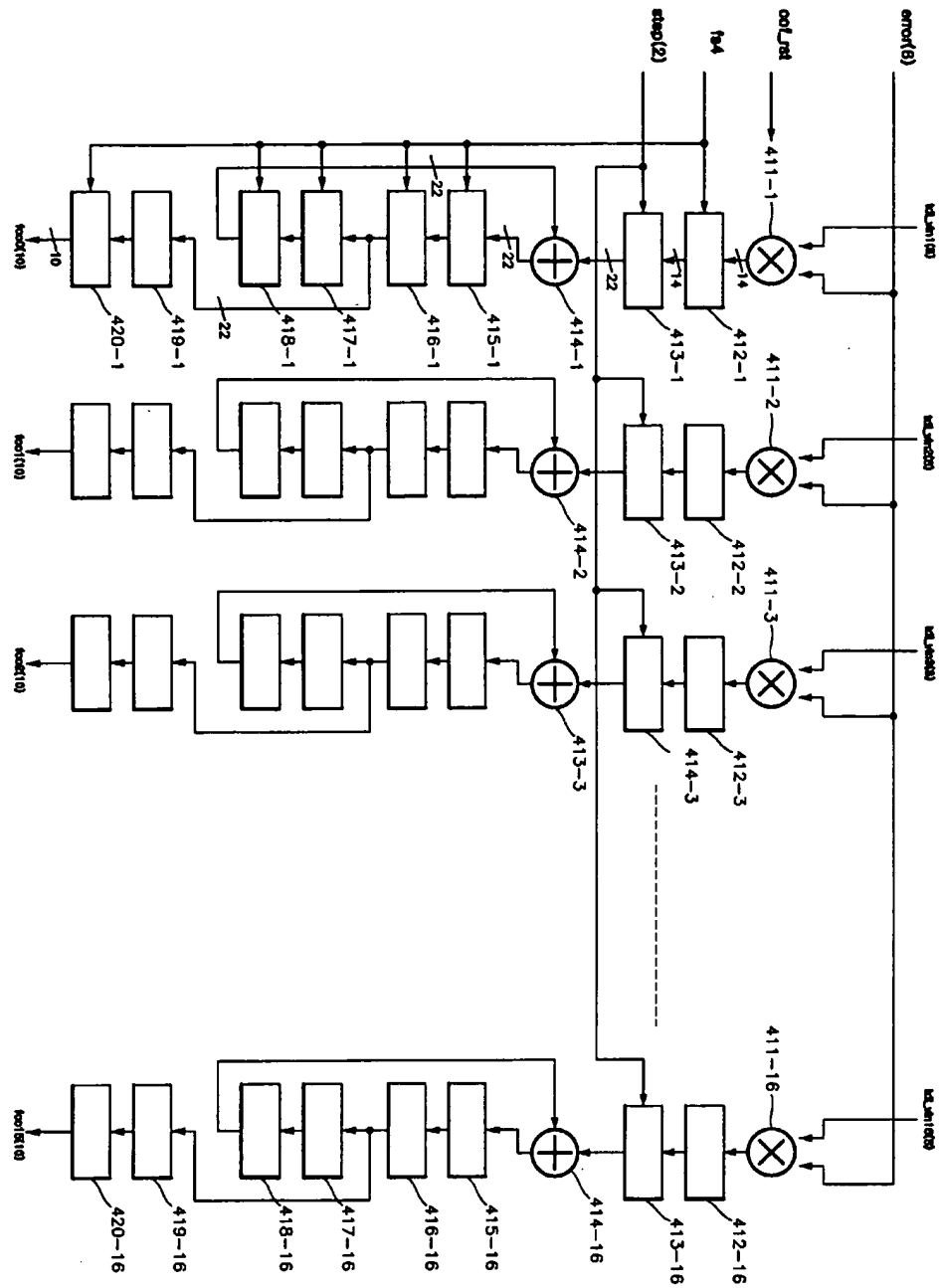
도면 9



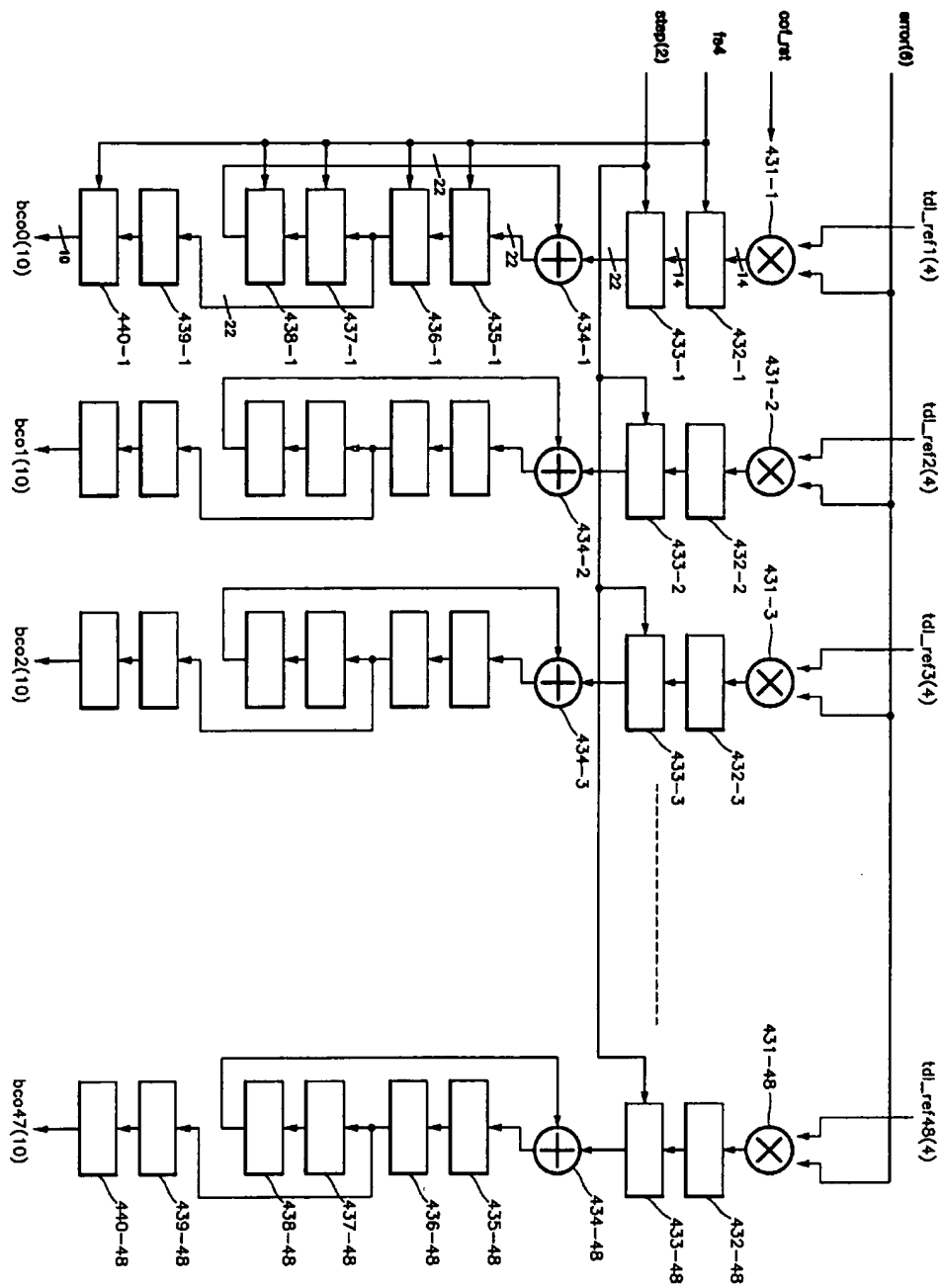
도면 10



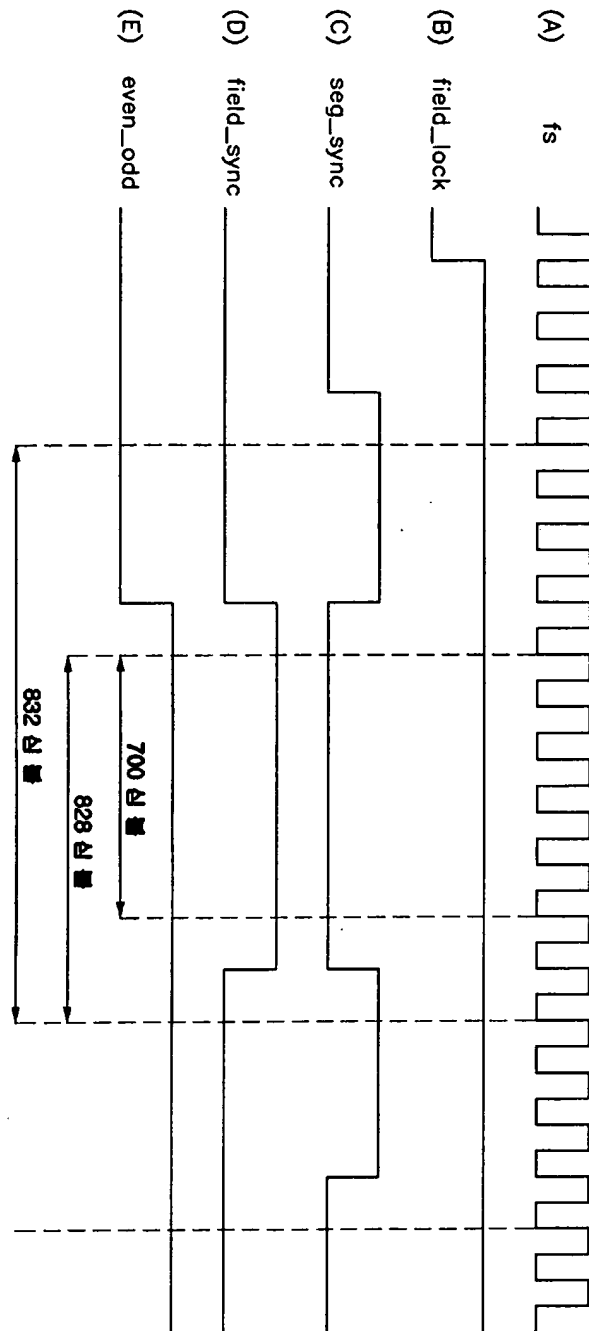
도면 11



도면 12



도면 13



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.